

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 4 5 8 2 7
Application Number:

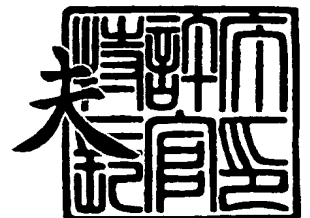
[ST. 10/C]: [J P 2 0 0 2 - 3 4 5 8 2 7]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 7 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 5 9 8 8 3

【書類名】 特許願

【整理番号】 J0090949

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/76

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 田口 和男

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤網 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 S O I 構造を有する半導体基板及びその製造方法及び半導体装置

【特許請求の範囲】

【請求項 1】 絶縁層上にデバイス形成用のシリコン単結晶層が設けられる S O I 構造を有する半導体基板に関し、

前記絶縁層下に設けられた第 1 導電型の支持基板と、

前記支持基板の所定領域それぞれに予め設けられた第 1 導電型または第 2 導電型のウェルパターンと、

を具備したことを特徴とする S O I 構造を有する半導体基板。

【請求項 2】 前記ウェルパターンそれぞれは、前記絶縁層を貫通する接続部を介して所定の電位が与えられることを特徴とする請求項 1 記載の S O I 構造を有する半導体基板。

【請求項 3】 少なくとも前記ウェルパターンが設けられる所定領域として上方にパッドを配設する領域が含まれることを特徴とする請求項 1 または 2 記載の S O I 構造を有する半導体基板。

【請求項 4】 絶縁層上にデバイス形成用のシリコン単結晶層が設けられる S O I 構造を有する半導体基板に関し、

前記絶縁層下に設けられた支持基板と、

前記支持基板の所定領域それぞれに予め設けられた導電層パターンと、
を具備したことを特徴とする S O I 構造を有する半導体基板。

【請求項 5】 前記導電層パターンそれぞれは、前記絶縁層を貫通する接続部を介して所定の電位が与えられることを特徴とする請求項 4 記載の S O I 構造を有する半導体基板。

【請求項 6】 少なくとも前記導電層パターンが設けられる所定領域として上方にパッドを配設する領域が含まれることを特徴とする請求項 4 または 5 記載の S O I 構造を有する半導体基板。

【請求項 7】 前記支持基板の所定領域において、前記導電層パターンそれぞれと接続されるウェルパターンを具備したことを特徴とする請求項 4 ～ 6 い

れか一つに記載の S O I 構造を有する半導体基板。

【請求項 8】 シード基板を準備し、デバイス形成用のシリコン単結晶層をエピタキシャル成長させる工程と、

前記シリコン単結晶層上に絶縁層を形成する熱処理工程と、

第 1 導電型の支持基板を準備し、所定領域それぞれに少なくとも第 1 導電型または第 2 導電型のウェルパターンを形成する工程と、

前記ウェルパターンの設けられた支持基板と前記シード基板の絶縁層側とをはり合わせる接着工程と、

前記シード基板を分離し、前記シリコン単結晶層をデバイス主表面とする工程と、

を具備したことを特徴とする S O I 構造を有する半導体基板の製造方法。

【請求項 9】 シード基板を準備し、デバイス形成用のシリコン単結晶層をエピタキシャル成長させる工程と、

前記シリコン単結晶層上に絶縁層を形成する熱処理工程と、

支持基板を準備し、少なくとも所定領域それぞれに導電層パターンの形成、絶縁層の埋め込みを経て平坦化する工程と、

前記導電層パターンの設けられた支持基板と前記シード基板の絶縁層側とをはり合わせる接着工程と、

前記シード基板を分離し、前記シリコン単結晶層をデバイス主表面とする工程と、

を具備したことを特徴とする S O I 構造を有する半導体基板の製造方法。

【請求項 10】 前記支持基板に予め前記導電層パターンと接続されるウェルパターンが形成されることを特徴とする請求項 9 記載の S O I 構造を有する半導体基板の製造方法。

【請求項 11】 予め所定領域毎にウェルパターンが設けられている所定導電型の支持基板と、

前記支持基板上の絶縁層と、

前記絶縁層上のシリコン単結晶層と、

前記シリコン単結晶層に選択的に形成された素子分離領域と、

前記シリコン単結晶層上に配される集積回路素子と、
前記集積回路素子側の主表面から前記絶縁層を貫通する前記ウェルパターンへの電氣的な接続部と、
を具備したことを特徴とする半導体装置。

【請求項 12】 前記ウェルパターンは前記集積回路素子に関する電位を制御することを特徴とした請求項 11 記載の半導体装置。

【請求項 13】 前記ウェルパターンは配線層または受動素子あるいは受動素子の一部として用いられることを特徴とする請求項 11 記載の半導体装置。

【請求項 14】 予め所定領域毎に導電層パターンが設けられている支持基板と、

前記支持基板上の絶縁層と、
前記絶縁層上のシリコン単結晶層と、
前記シリコン単結晶層に選択的に形成された素子分離領域と、
前記シリコン単結晶層上に配される集積回路素子と、
前記集積回路素子側の主表面から前記絶縁層を貫通する前記導電層パターンへの電氣的な接続部と、
を具備したことを特徴とする半導体装置。

【請求項 15】 前記導電層パターンは前記集積回路素子に関する電位を制御することを特徴とした請求項 14 記載の半導体装置。

【請求項 16】 前記導電層パターンは配線層または受動素子あるいは受動素子の一部として用いられることを特徴とする請求項 14 記載の半導体装置。

【請求項 17】 前記支持基板の所定領域において、前記導電層パターンそれぞれと接続されるウェルパターンを具備したことを特徴とする請求項 14～16 いずれか一つに記載の S O I 構造を有する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、特に S O I (Silicon On Insulator) 構造の基板におけるデバイス間への電氣的相互接続を改良する S O I 構造を有する半導体基板及びその製造方

法及び半導体装置に関する。

【0002】

【従来の技術】

SOI (Silicon On Insulator) 技術は、絶縁膜上に形成されたシリコン単結晶にMOSFETなどの集積回路デバイスを構成する技術として知られている。SOI構造におけるCMOSデバイスは、バルクCMOS技術に比べてソース・ドレインの接合容量が小さく抑えられる利点を有する。このため、通常のバルクシリコン基板上に作製したMOSFET (バルクMOSFET) より高速で動作する。また、低電圧電源でも高速に動作するため、低消費電力LSIへの応用が検討されている。

【0003】

SOI技術には多くの問題もある。電流による自己発熱問題もその一つである。また、通常のバルクシリコン基板で用いられる縦型ダイオード、縦型トランジスタ、縦型pnpn経路など各種バルク型素子がない。このため、静電放電の保護(ESD対策)の問題もある。従来方式の一例として、SOI構造におけるデバイス形成用の基板にトレンチ素子分離領域が設けられ、トレンチ素子分離領域にバルク基板側への相互接続部が設けられる構成がある(例えば、特許文献1参照)。相互接続部は、トレンチ素子分離領域からドライエッチで相当深く掘り込み、バルク基板にイオン注入してウェル領域を形成し導電材を埋め込む。

【0004】

このようにしてSOI構造のバルク基板においてウェルを形成し、ウェルとの相互接続部を複数設けることにより、自己発熱問題の緩和、静電放電の保護(ESD対策)、基板を介したノイズ伝達(クロストーク)の抑制を達成するようにしていた。

【0005】

【特許文献1】

特開平10-321868

【0006】

【発明が解決しようとする課題】

上述の【特許文献1】に開示されたようなSOI構造における、デバイス形成用の基板とバルク基板側に形成するウェルとの相互接続部では次のような問題がある。

バルク基板側に形成するウェルは、深いエッチング開口からのイオン注入や高エネルギーを伴うイオン注入により、ウェルとバルク基板の境界におけるダイオード特性を精度よく設定できなかった。つまり、より安定した基板電位を確保する上で必要なダイオード特性もしくはオーミックコンタクトを得ることが困難である。

【0007】

本発明は上記のような事情を考慮してなされたもので、より安定した基板電位を確保できるSOI構造を有する半導体基板及びその製造方法及び半導体装置を提供しようとするものである。

【0008】

【課題を解決するための手段】

本発明に係るSOI構造を有する半導体基板は、
絶縁層上にデバイス形成用のシリコン単結晶層が設けられるSOI構造を有する半導体基板に関し、
前記絶縁層下に設けられた第1導電型の支持基板と、
前記支持基板の所定領域それぞれに予め設けられた第1導電型または第2導電型のウェルパターンと、
を具備したことを特徴とする。

【0009】

上記のような本発明に係るSOI構造を有する半導体基板によれば、支持基板では、予め必要な位置にそれぞれウェルパターンが設けられている。このウェルパターンは、デバイス形成用のSOI構造における所定の電位を安定化するために用いることができる。その他、配線層や抵抗素子等に利用可能である。

【0010】

上記本発明に係るSOI構造を有する半導体基板において、
前記ウェルパターンそれぞれは、前記絶縁層を貫通する接続部を介して所定の

電位が与えられることを特徴とする。

さらに、上記本発明に係る S O I 構造を有する半導体基板において、
少なくとも前記ウェルパターンが設けられる所定領域として上方にパッドを配
設する領域が含まれることを特徴とする。静電保護の利用に寄与する。

【0011】

本発明に係る S O I 構造を有する半導体基板は、
絶縁層上にデバイス形成用のシリコン単結晶層が設けられる S O I 構造を有す
る半導体基板に関し、
前記絶縁層下に設けられた支持基板と、
前記支持基板の所定領域それぞれに予め設けられた導電層パターンと、
を具備したことを特徴とする。

【0012】

上記のような本発明に係る S O I 構造を有する半導体基板によれば、支持基板
では、必要な位置にそれぞれ導電層パターンが設けられる。この導電層パターン
は、デバイス形成用の S O I 構造における所定の電位を安定化するために用いる
ことができる。その他、配線層や抵抗素子等に利用可能である。

【0013】

上記本発明に係る S O I 構造を有する半導体基板において、
前記導電層パターンそれぞれは、前記絶縁層を貫通する接続部を介して所定の
電位が与えられることを特徴とする。

また、上記本発明に係る S O I 構造を有する半導体基板において、
少なくとも前記導電層パターンが設けられる所定領域として上方にパッドを配
設する領域が含まれることを特徴とする。静電保護の利用に寄与する。

さらに、上記本発明に係る S O I 構造を有する半導体基板に関し、
前記支持基板の所定領域において、前記導電層パターンそれぞれと接続される
ウェルパターンを具備したことを特徴とする。

【0014】

本発明に係る S O I 構造を有する半導体基板の製造方法は、
シード基板を準備し、デバイス形成用のシリコン単結晶層をエピタキシャル成

長させる工程と、

前記シリコン単結晶層上に絶縁層を形成する熱処理工程と、

第1導電型の支持基板を準備し、所定領域それぞれに少なくとも第1導電型または第2導電型のウェルパターンを形成する工程と、

前記ウェルパターンの設けられた支持基板と前記シード基板の絶縁層側とをはり合わせる接着工程と、

前記シード基板を分離し、前記シリコン単結晶層をデバイス主表面とする工程と、

を具備したことを特徴とする。

【0015】

上記のような本発明に係るSOI構造を有する半導体基板の製造方法によれば、支持基板をシード基板の絶縁層とはり合わせ、接着する段階ではすでに、支持基板の必要な位置にそれぞれウェルパターンが形成されている状態にする。このウェルパターンは、デバイス形成用のSOI構造における所定の電位を安定化するために用いることができる。その他、配線層や抵抗素子等に利用可能である。

【0016】

本発明に係るSOI構造を有する半導体基板の製造方法は、

シード基板を準備し、デバイス形成用のシリコン単結晶層をエピタキシャル成長させる工程と、

前記シリコン単結晶層上に絶縁層を形成する熱処理工程と、

支持基板を準備し、少なくとも所定領域それぞれに導電層パターンの形成、絶縁層の埋め込みを経て平坦化する工程と、

前記導電層パターンの設けられた支持基板と前記シード基板の絶縁層側とをはり合わせる接着工程と、

前記シード基板を分離し、前記シリコン単結晶層をデバイス主表面とする工程と、

を具備したことを特徴とする。

【0017】

上記のような本発明に係るSOI構造を有する半導体基板の製造方法によれば

、支持基板をシード基板の絶縁層とはり合わせ、接着する段階ではすでに、支持基板の必要な位置にそれぞれ導電パターンが形成されている状態にする。この導電パターンは、デバイス形成用のSOI構造における所定の電位を安定化するために用いることができる。その他、配線層や抵抗素子等に利用可能である。

なお、上記本発明に係るSOI構造を有する半導体基板において、

前記支持基板に予め前記導電層パターンと接続されるウェルパターンが形成されることを特徴とする。

【0018】

本発明に係る半導体装置は、

予め所定領域毎にウェルパターンが設けられている所定導電型の支持基板と、

前記支持基板上の絶縁層と、

前記絶縁層上のシリコン単結晶層と、

前記シリコン単結晶層に選択的に形成された素子分離領域と、

前記シリコン単結晶層上に配される集積回路素子と、

前記集積回路素子側の主表面から前記絶縁層を貫通する前記ウェルパターンへの電気的な接続部と、

を具備したことを特徴とする。

【0019】

上記本発明に係る半導体装置において、

前記ウェルパターンは前記集積回路素子に関する電位を制御することを特徴としている。

あるいは、前記ウェルパターンは配線層または受動素子として用いられることを特徴とする。

【0020】

本発明に係る半導体装置は、

予め所定領域毎に導電層パターンが設けられている支持基板と、

前記支持基板上の絶縁層と、

前記絶縁層上のシリコン単結晶層と、

前記シリコン単結晶層に選択的に形成された素子分離領域と、

前記シリコン単結晶層上に配される集積回路素子と、
前記集積回路素子側の主表面から前記絶縁層を貫通する前記導電層パターンへの電氣的な接続部と、
を具備したことを特徴とする。

【0021】

上記本発明に係る半導体装置において、
前記導電層パターンは前記集積回路素子に関する電位を制御することを特徴としている。

あるいは、前記導電層パターンは配線層または受動素子として用いられることを特徴とする。

さらに、上記本発明に係る半導体装置に関し、
前記支持基板の所定領域において、前記導電層パターンそれぞれと接続されるウェルパターンを具備したことを特徴とする。

【0022】

【発明の実施の形態】

図1は、本発明の第1実施形態に係るSOI構造を有する半導体基板の要部構成図である。図はウェハWaferの1チップ領域を示している。絶縁層13上にデバイス形成用として例えば低濃度P型不純物が導入されたP型のシリコン単結晶層14が設けられる。さらに、絶縁層13下には例えばP型の支持基板11が設けられ、この支持基板11には低濃度N型不純物が導入されたN型ウェルパターン12が予め設けられている。これらが積層された状態でSOI構造を有する半導体基板15が構成されている。

【0023】

上記ウェルパターン12それぞれは、例えば後述する絶縁層13を貫通する接続部を介して所定の電位が与えられる。少なくともウェルパターン12が設けられる所定領域として、上方にパッドを配設する領域が含まれる。ここではチップ領域周囲にパッドが設けられるため、それに応じてウェルパターン12が設けられている領域121がある。その他の領域122についても配設される素子領域に合わせて設けられている。これにより、デバイス形成用のSOI構造における

所定の電位を安定化するために用いることができる。

【0024】

上記構成によれば、支持基板11では、必要な位置にそれぞれウェルパターン12（121，122）が設けられる。このウェルパターン12は、デバイス形成用のSOI構造における所定の電位を安定化するために用いることができる。その他、配線層や抵抗素子等に利用可能である。

なお、ウェルパターン12は、上述の形態に限らず、配設される素子領域やそれに伴う配線回路に応じた任意のパターニングが可能である。支持基板11と同一導電型のウェルパターンを形成する箇所があってもよい。これにより、ESD対策として利用できる。一般にはESD対策の場合、Pチャネル素子側でウェルパターンが利用され、Nチャネル素子側でオーミックコンタクトを利用する構造をとる。

【0025】

図2は、図1の構成に利用される接続部を示す第1の断面図である。SOI構造を有する半導体基板15に関し、トレンチ素子分離領域18が形成されている。このトレンチ素子分離領域18上から絶縁層13を貫通しウェルパターン12に至る接続部19が設けられている。接続部19は例えばバリアメタル付きのW（タングステン）プラグである。ここでは、トレンチ素子分離領域18の形成後、素子のゲート層を形成する前の段階で貫通孔を形成し、Wプラグを充填、平坦化するなどして接続部19が設けられる。この形成方法に限らず、ポリシリコンプラグ、あるいは、素子のゲート層を形成した後の、第1層目の金属層またはプラグ形成時に接続部19を形成してもよい。

【0026】

上記接続部19を必要箇所設けることにより、例えば図示しない上層に設けられるパッドから配線層を介してウェルパターン12に所定電位（例えばグラウンド電位等）が与えられる。これにより、各ウェルパターン12（121，122）が所定のパッドに対する好ましい静電保護ダイオードの回路となったり、SOI MOSFETのボディー電位の安定化に寄与する。また、自己発熱問題の緩和に寄与する（必ずしもウェルは必要ではない）。さらに、絶縁層13を利用した

キャパシタを意図した構成も実現可能である。このような構成は、特に高周波製品におけるクロストークの低減に大いに寄与する。

【0027】

図3(a)は、図1の構成に利用される接続部を示す第2の断面図である。図2で示した接続部19が191、192と所定距離離間して設けられ、ウェルパターン12が配線層や抵抗素子として機能する構成を示している。すなわち、図示しない上層に設けられる配線層を介してウェルパターン12が所定の信号を伝達する経路になり得る。これにより、回路の高集積化に寄与する。また、自己発熱問題の緩和にも寄与する。

【0028】

図3(b)は、図1の構成に利用される接続部を示す第2の断面図である。図2で示したウェルパターン12が下部電極、絶縁層13が容量絶縁膜、シリコン単結晶層14に不純物を導入して低抵抗化し上部をシリサイド化したシリサイド層141を上部電極とする容量素子が構成されている。接続部19が下部電極の引き出し配線となる。実際には絶縁層13は平坦精度の良い薄い熱酸化膜であり、安定した容量素子を実現可能である。また、多層配線層側で形成するより工程の短縮が期待できる。これにより、回路の高集積化に寄与する。

【0029】

図4(a)～(d)は、それぞれ本発明の第2実施形態に係るSOI構造を有する半導体基板の製造方法を工程順に示す断面図である。上記図1の構成における半導体基板15のウェハ(Waf)製造方法に係り、図1と同様の箇所には同一の符号を付して説明する。ここでは製法として知られるELTRANの製造プロセスを利用する。

【0030】

図4(a)に示すように、SOI構造を実現する基礎となるシード基板21を準備し、多孔質シリコン層22を形成する。その上にデバイス形成用として、低濃度P型(P-型)のシリコン単結晶層14をエピタキシャル成長させる。その後、熱酸化処理してさらに絶縁層(酸化膜)13を形成する(ELTRANの製法による)。

【0031】

一方、図4(b)に示すように、P型の支持基板(シリコン基板)11を準備し、本発明実施形態に係るイオン注入マスクのパターニング、イオン注入工程を経て、支持基板11に低濃度N型不純物を導入し、所定領域にN型ウェルパターン12(121, 122)を形成する。N型ウェルパターン12は、SOI基板に構成される回路に応じてパターニングされる。最終的な支持基板11の厚さが $725\mu\text{m}$ 程度であるとする、N型ウェルパターン12は、例えばP原子を加速電圧 300keV 程度、ドーズ量 $1\times 10^{14}\text{cm}^{-3}$ 程度、コンタクト用イオン注入としては、例えばAs原子を加速電圧 70keV 程度、ドーズ量 $2\times 10^{15}\text{cm}^{-3}$ 程度で形成する。

【0032】

図4(c)に示すように、ウェルパターン12の設けられた支持基板11とシード基板21の絶縁層13側とをはり合わせる。はり合わせは熱処理を伴い互いの基板が接着される。

【0033】

図4(d)に示すように、シード基板21を分離する。ELTRANの製法による、多孔質シリコン層22端面へのウォータージェットの噴射による切り離し技術が用いられる。その後、シリコン単結晶層14上に残された多孔質シリコン層22を選択的に除去し、水素アニール工程によってシリコン単結晶層14表面を平坦化する。

【0034】

上記実施形態の方法によれば、支持基板11をシード基板21の絶縁層13とはり合わせ、接着する段階ではすでに、支持基板11の必要な位置にそれぞれウェルパターン12が形成されている状態にする。このウェルパターン12は、デバイス形成用のSOI構造における所定の電位を安定化するために用いることができる。その他、配線層や抵抗素子等に利用可能である。

【0035】

なお、その他スマートカットと呼ばれる製法もある。スマートカットの場合、図4(a)における多孔質シリコン22は不要で、図4(c)において貼り合わ

せた後、絶縁層 13 を形成した基板 21 の方から所定のエネルギーと濃度で水素を導入する。これにより、シリコンの結合が所定の深さの領域で切れて脆い状態となり、その後、熱処理することにより分離し、図 4 (d) と同様な形態を得ることができる。また、このような分離処理を経ずに完全研磨する方法もある。

【0036】

図 5 は、本発明の第 3 実施形態に係る半導体装置の構成を示す平面図である。これは、図 1 の SOI 構造を有する半導体基板及び図 2 の電位供給用の接続部の構成を利用した SOI MOSFET の一例を示している。図 1 及び図 2 に示す構成と同様の箇所には同一の符号を付して説明する。

【0037】

SOI MOSFET 30 は、P-型のシリコン単結晶層 14 をボディーとし、チャンネル領域 31 上にゲート酸化膜（図示せず）を介してゲート電極 32 が構成されている。ゲート電極 32 はいわゆる T ゲート構造で、トレンチ素子分離領域 18 に囲まれたボディー領域 14 を有している。ゲート電極 32 の側部にはソース・ドレイン領域よりも低濃度の N-型エクステンション領域（図示せず）形成後に設けられるサイドウォール（スペーサー） 33 が形成されている。ソース・ドレイン領域の N+領域 34 では図示しない部分で所定のコンタクト配線が取られる。

【0038】

ここで、ボディーの P-型シリコン単結晶層 14 上にも所定のコンタクト 35 が取られ、通常はグラウンド電位に繋がれる。グラウンド電位は図示しない接続部を介してウェルパターン 12 に供給されているので、コンタクト 35 は配線層 36 を介して接続部 19 に繋がる。これにより、SOI MOSFET 30 のボディー電位をより安定化する。また、自己発熱問題の緩和に寄与する。

【0039】

図 6 は、本発明の第 4 実施形態に係る SOI 構造を有する半導体基板の要部構成図である。前記第 1 実施形態と同様の箇所には同一の符号を付して説明する。図はウェハ Wafer の 1 チップ領域を示している。絶縁層 13 上に P-型のシリコン単結晶層 14 が設けられる。さらに、絶縁層 13 下には例えば P 型の支持基板

11が設けられ、この支持基板11には低濃度N型不純物が導入されたN-型ウェルパターン12が予め設けられている。さらにウェルパターン12上を含んで支持基板11表面上に層間絶縁膜41を設け、層間絶縁膜41中に導電層パターン42が予め設けられている。導電層パターン42は例えばドーフトポリシリコンやその他有用な金属配線等が考えられる。これらが積層された状態でSOI構造を有する半導体基板45が構成されている。

【0040】

上記各ウェルパターン12や導電層パターン42それぞれは、必要な位置に予め設けることができ、例えば後述する絶縁層13を貫通する接続部を介して所定の電位（信号も含む）が与えられる。これにより、デバイス形成用のSOI構造における所定の電位を安定化するために用いることができる。その他、配線層や抵抗素子等に利用可能である。

【0041】

図7は、図6の構成に利用される接続部を示す第1の断面図である。SOI構造を有する半導体基板45に関し、トレンチ素子分離領域18が形成されている。このトレンチ素子分離領域18上から絶縁層13、層間絶縁膜41を貫通しウェルパターン12に至る接続部49が設けられている。接続部49は例えばバリアメタル付きのW（タングステン）プラグである。ここでは、トレンチ素子分離領域18の形成後、素子のゲート層を形成する前の段階で導電層パターン42のない領域に貫通孔を形成し、Wプラグを充填、平坦化するなどして接続部49が設けられる。この形成方法に限らず、ポリシリコンプラグ、あるいは、素子のゲート層を形成した後の、第1層目の金属層またはプラグ形成時に接続部49を形成してもよい。

【0042】

上記接続部49を必要箇所設けることにより、例えば図示しない上層に設けられるパッドから配線層を介してウェルパターン12に所定電位（例えばグランド電位等）が与えられる。これにより、第1実施形態と同様にパッドに対する静電保護ダイオード回路やMOSFETのボディー電位の安定化に寄与する。また、自己発熱問題の緩和に寄与する（必ずしもウェルは必要ではない）。このような

構成は、特に高周波製品におけるクロストークの低減に大いに寄与する。

【0043】

図8は、図6の構成に利用される接続部を示す第2の断面図である。接続部49が接続部491、492として、導電層パターン42と接続されるように所定距離離間して設けられ、導電層パターン42が配線層や抵抗素子として機能する構成を示している。すなわち、図示しない上層に設けられる配線層を介して導電層パターン42が所定の信号を伝達する経路になり得る。また、自己発熱問題の緩和に寄与する。さらに、絶縁層13あるいは層間絶縁膜41を利用したキャパシタを意図した構成も実現可能である。

【0044】

図9(a)～(d)は、それぞれ本発明の第5実施形態に係るSOI構造を有する半導体基板の製造方法を工程順に示す断面図である。上記図6の構成における半導体基板45のウェハ(Waf)製造方法に係り、図7と同様の箇所には同一の符号を付して説明する。ここでも製法として知られるELTRANの製造プロセスを利用する。

【0045】

図9(a)に示すように、SOI構造を実現する基礎となるシード基板51を準備し、多孔質シリコン層52を形成する。その上にデバイス形成用として、低濃度P型(P-型)のシリコン単結晶層14をエピタキシャル成長させる。その後、熱酸化処理してさらに絶縁層13を形成する(ELTRANの製法による)。

【0046】

一方、図9(b)に示すように、P型の支持基板(シリコン基板)11を準備し、本発明実施形態に係るイオン注入マスクのパターニング、イオン注入工程を経て、支持基板11に低濃度N型不純物を導入し、所定領域にN型ウェルパターン12を形成する。N型ウェルパターン12は、SOI基板に構成される回路に応じてパターニングされる。最終的な支持基板11の厚さが $725\mu\text{m}$ 程度であるとする、N型ウェルパターン12は、例えばP原子を加速電圧 300keV 程度、ドーズ量 $1\times 10^{14}\text{cm}^{-3}$ 程度、コンタクト用イオン注入として例

例えばAs原子を加速電圧70keV程度、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ 程度で形成する。さらに、ウェルパターン12を含む主表面上に層間絶縁膜41を形成し、層間絶縁膜41上に例えばドーフトポリシリコン層の所定パターニングを施し、導電層パターン42を形成する。次に、再び層間絶縁膜41を堆積し、平坦化する。この平坦化はエッチバック法、またはCMP（化学的機械的研磨）法が用いられる。

【0047】

図9（c）に示すように、導電層パターン42の設けられた支持基板11とシード基板51の絶縁層13側とをはり合わせる。はり合わせは熱処理を伴い互いの基板が接着される。

【0048】

図9（d）に示すように、シード基板51を分離する。ELTRANの製法による、多孔質シリコン層52端面へのウォータージェットの噴射による切り離し技術が用いられる。その後、シリコン単結晶層14上に残された多孔質シリコン層52を選択的に除去し、水素アニール工程によってシリコン単結晶層14表面を平坦化する。なお、上述したように、このような製法の他にスマートカットや完全研磨の製法を用いることができる。

【0049】

上記実施形態の方法によれば、支持基板11をシード基板21の絶縁層13とはり合わせ、接着する段階ではすでに、支持基板11の必要な位置にそれぞれウェルパターン12及び導電層パターン42が形成されている状態にする。このウェルパターン12及び導電層パターン42は、デバイス形成用のSOI構造における所定の電位を安定化するために用いることができる。その他、配線層や抵抗素子等に利用可能である。

【0050】

例えば、SOI構造でCMOSを含む集積回路を構成する場合、ウェルパターン12にグランド電位を与え、ボディー電位に利用したり、パッドの静電保護回路に利用する。また、自己発熱の緩和にも有用である。

なお、SOI MOSFETは図5の構成に限らない。導電層パターン42は

、電源電位が与えられるものや、素子間の信号伝達に利用されるもの、抵抗素子やインダクタ、キャパシタに利用されるものと様々な構成に利用可能である。これにより、トランジスタ直下の電位を所望電位に制御し易く、クロストークの低減に寄与する高信頼性の半導体装置が実現できる。なお、上記実施形態に限らず、導電層パターン(42)を多層構造にする形態も考えられる。

【0051】

以上説明したように本発明によれば、SOIにおける絶縁層下の支持基板では、必要な位置にそれぞれウェルパターン、また、さらには導電パターンが設けられる。これら絶縁層下のパターンは、デバイス形成用のSOI構造における所定の電位を安定化するために用いることができる。その他、配線層や抵抗素子等に利用可能である。自己発熱の緩和にも有用である。この結果、より安定した基板電位を確保することができ、集積化に寄与する高信頼性のSOI構造を有する半導体基板及びその製造方法及び半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 第1実施形態に係るSOI構造の半導体基板の要部構成図。

【図2】 図1の構成に利用される接続部を示す第1の断面図。

【図3】 各々図1の構成に利用される接続部を示す第2の断面図。

【図4】 第2実施形態に係るSOI構造の半導体基板の製造工程断面図。

【図5】 第3実施形態に係る半導体装置の構成を示す平面図。

【図6】 第4実施形態に係るSOI構造の半導体基板の要部構成図。

【図7】 図6の構成に利用される接続部を示す第1の断面図。

【図8】 図6の構成に利用される接続部を示す第2の断面図。

【図9】 第5実施形態に係るSOI構造の半導体基板の製造工程断面図。

【符号の説明】

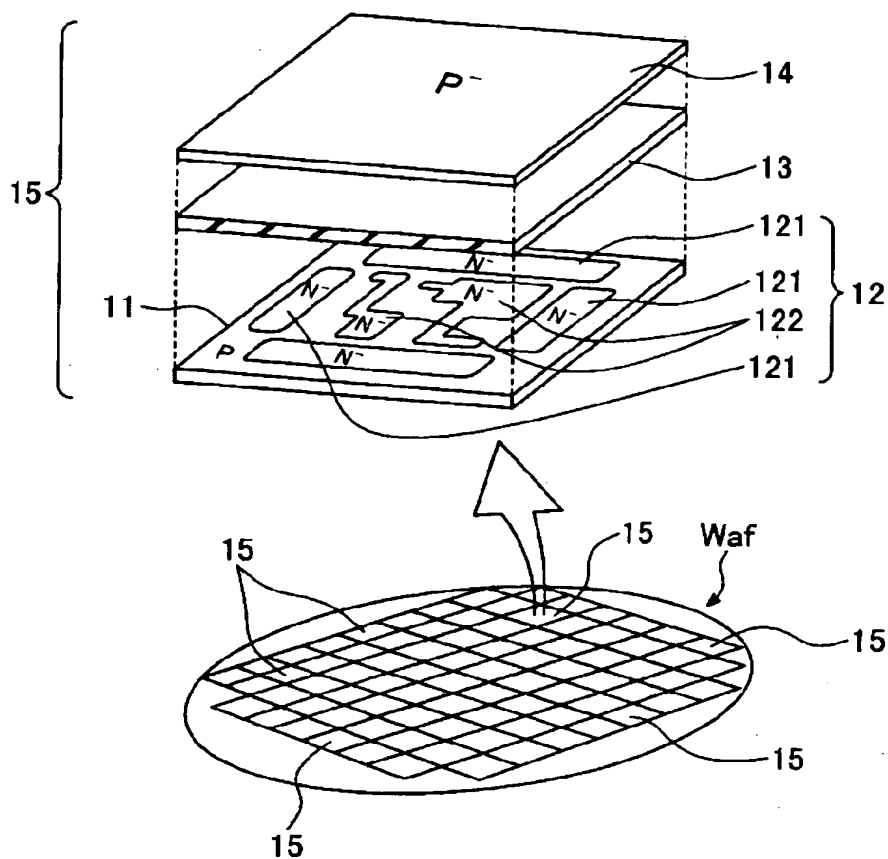
11…支持基板、12…N-型ウェルパターン、121, 122…ウェルパターンの領域、13…絶縁層、14…シリコン単結晶層、141…シリサイド層、15, 45…半導体基板、18…トレンチ素子分離領域、19, 191, 192, 49, 491, 492…接続部、21, 51…シード基板、22, 52…多孔質シリコン層、30…SOI MOSFET、31…チャネル領域、32…ゲー

ト電極、3 3…サイドウォール（スペーサー）、3 4…N⁺領域（ソース・ドレイン領域）、3 5…コンタクト、3 6…配線層、4 1…層間絶縁膜、4 2…導電層パターン。

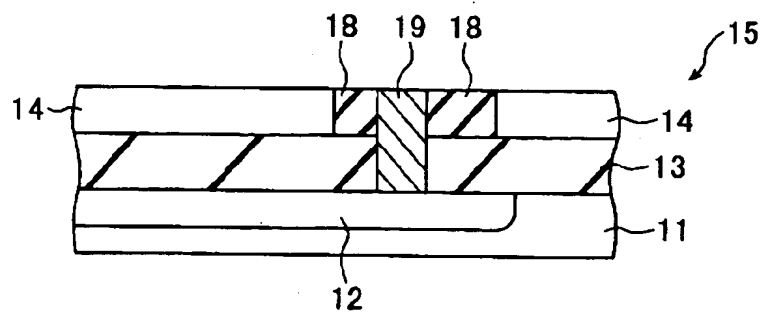
【書類名】

図面

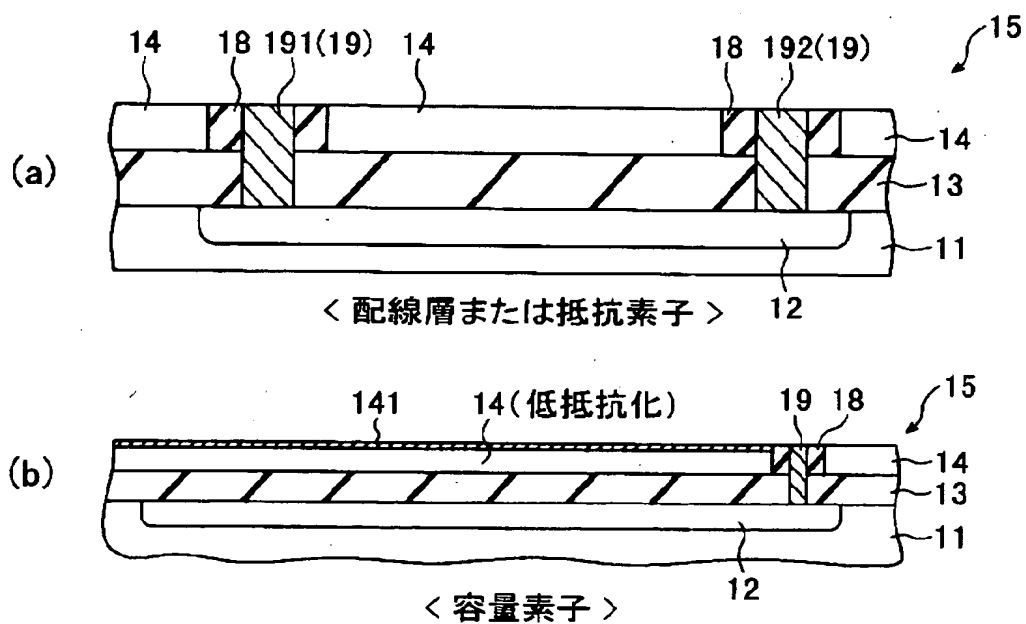
【図 1】



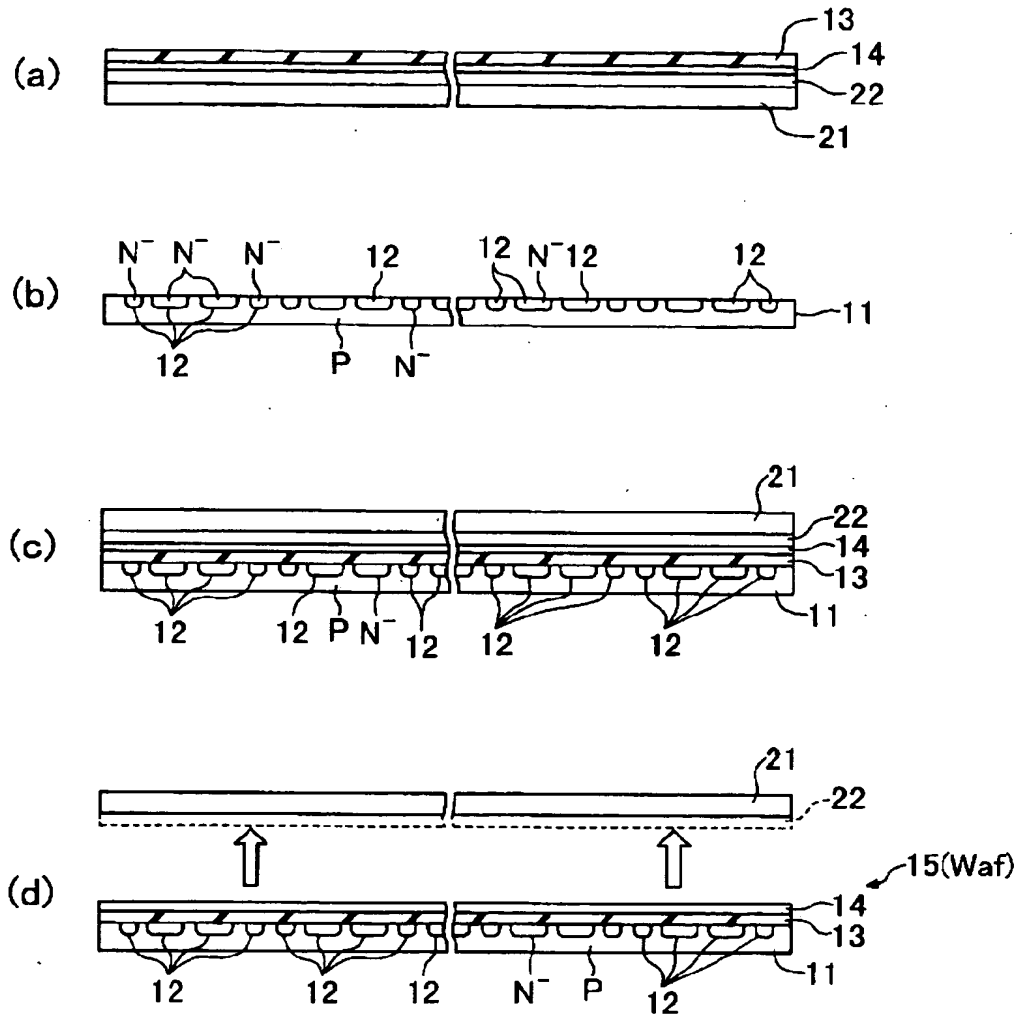
【図 2】



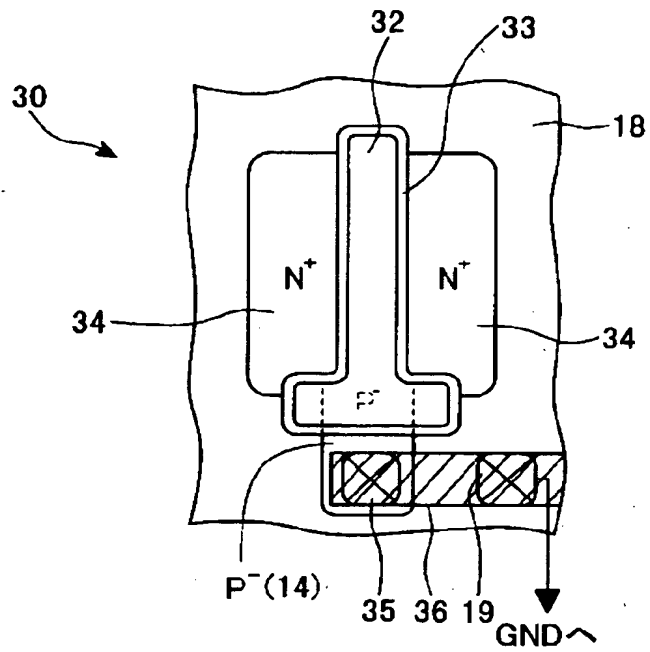
【図 3】



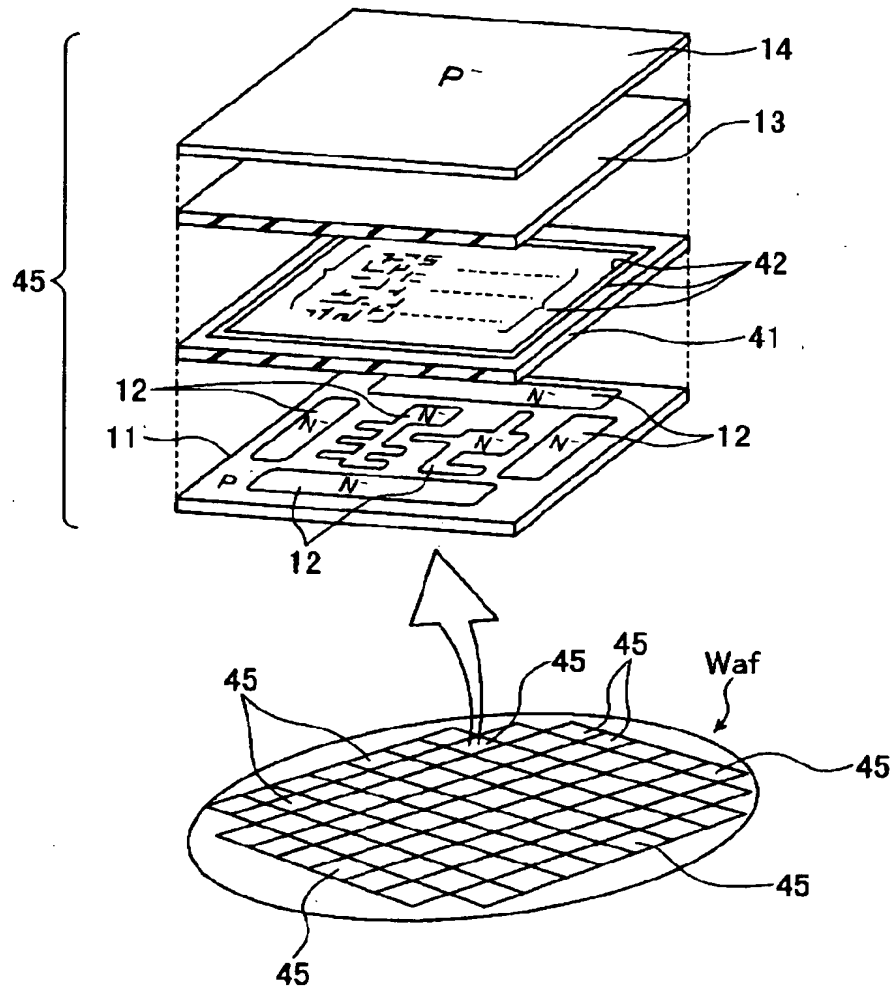
【図 4】



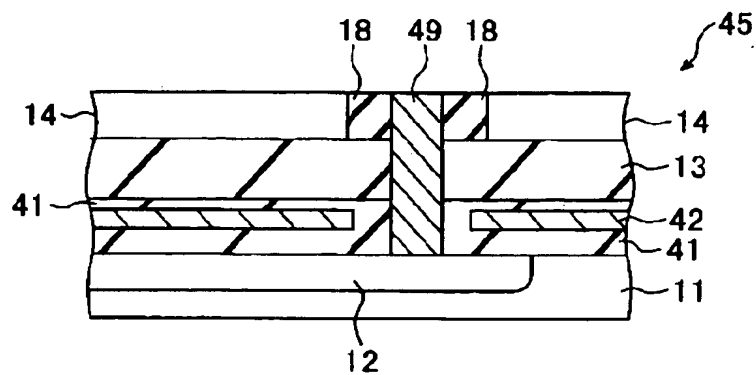
【図 5】



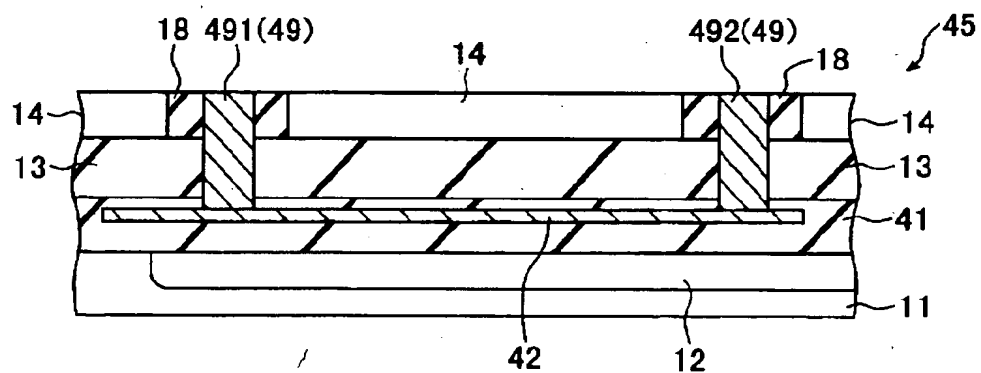
【図 6】



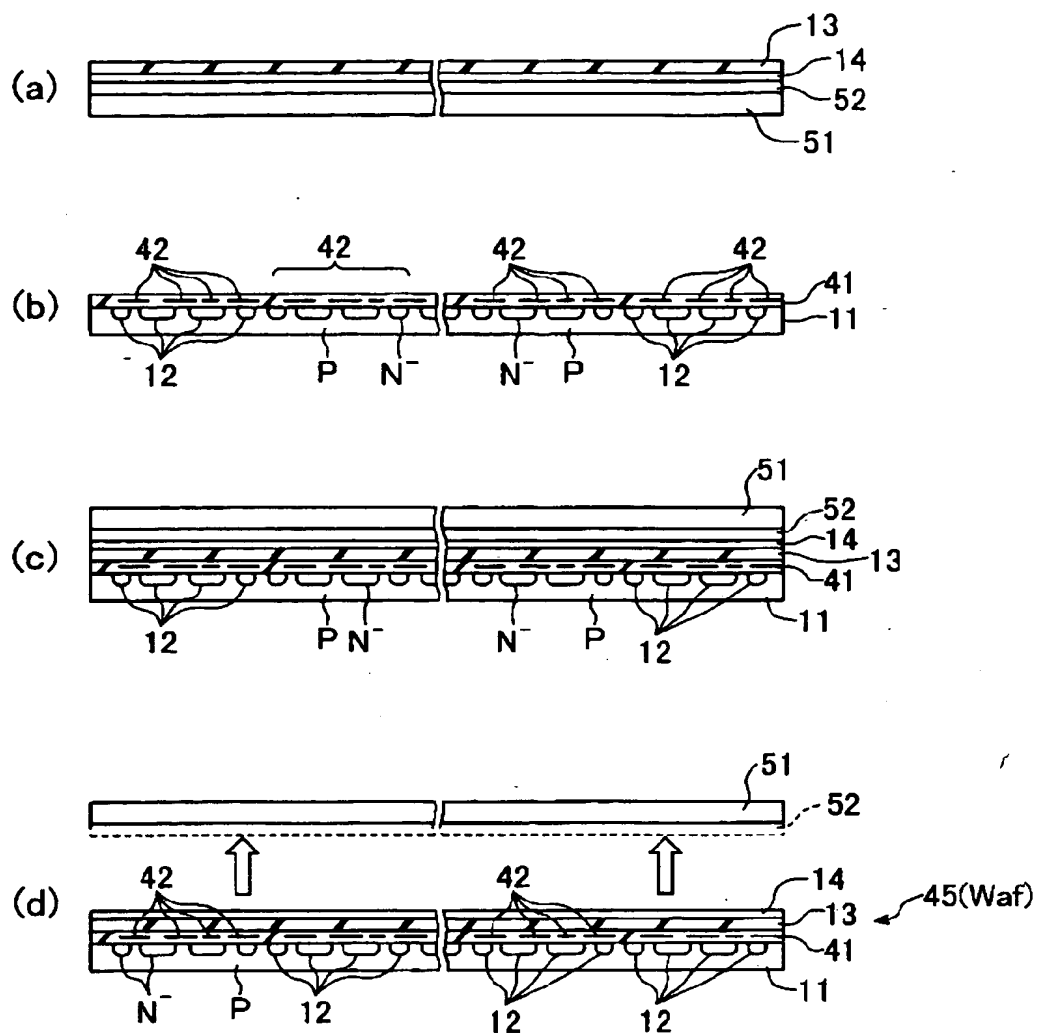
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 より安定した基板電位を確保することができ、高信頼性の S O I 構造を有する半導体基板及びその製造方法及び半導体装置を提供する。

【解決手段】 絶縁層 13 上にデバイス形成用として P-型のシリコン単結晶層 14 が設けられる。さらに、絶縁層 13 下には例えば P 型の支持基板 11 が設けられ、この支持基板 11 には N-型ウェルパターン 12 が予め設けられている。これらが積層された状態で S O I 構造を有する半導体基板 15 が構成されている。ウェルパターン 12 それぞれは、例えば絶縁層 13 を貫通する接続部を介して所定の電位が与えられる。例えば、チップ領域周囲にパッドが設けられるため、それに応じてウェルパターン 12 が設けられている領域 121 がある。その他の領域 122 についても配設される素子領域に合わせて設けられている。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2002-345827
受付番号	50201802573
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年11月29日

<認定情報・付加情報>

【提出日】 平成14年11月28日

次頁無

特願 2 0 0 2 - 3 4 5 8 2 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社